

(19) 日本国特許庁 (JP)

(12) 特許公報 (B2)

(11) 特許番号

第2584120号

(45) 発行日 平成9年(1997)2月19日

(24) 登録日 平成8年(1996)11月21日

(51) Int. Cl. ⁴	識別記号	FI	技術表示箇所
G06K 19/07		G06K 19/00	N
G11C 5/00	301	G11C 5/00	301 A
16/06		17/00	530 A

請求項の数 2 (全7頁)

(21) 出願番号 特願平2-257375
(22) 出願日 平成2年(1990)9月28日
(65) 公開番号 特開平4-137078
(43) 公開日 平成4年(1992)5月12日

(73) 特許権者 999999999
富士写真フイルム株式会社
神奈川県南足柄市中沼210番地
(72) 発明者 郷原 幸一
東京都港区西麻布2丁目26番30号 富士
写真フイルム株式会社内
(72) 発明者 足立 薫
東京都港区西麻布2丁目26番30号 富士
写真フイルム株式会社内
(74) 代理人 弁理士 香取 孝雄
審査官 高松 猛

(54) 【発明の名称】メモ리카ードにおけるデータ記録方法およびメモ리카ードシステム

1

(57) 【特許請求の範囲】

【請求項1】メインメモリにブロック消去型のEEPROMを用いたメモ리카ードにおけるデータ記録方法において、複数のメモリブロックを備えた前記EEPROMに、そのうちの少なくとも1メモリブロックを何も書き込まれていない状態にある予備ブロックとしておき、前回までにデータが書き込まれた一のメモリブロックにそのデータの書き換えが行われるアクセスが生じた際に、そのメモリブロックと予備ブロックとの間の物理的アドレスの交換を行って、前回までにデータが書き込まれたメモリブロックのメモリ内容を消去することにより、そのメモリブロックを予備ブロックとして、予備ブロックから変換されたメモリブロックに今回のア

2

クセスによるデータを書き込んでデータ保持ブロックとして、

データの書き換えを行うことを特徴とするメモ리카ードにおけるデータ記録方法。

【請求項2】メモ리카ードのメインメモリにブロック消去型のEEPROMを用いてなるメモ리카ードシステムにおいて、

このメモ리카ードシステムは、

複数のメモリブロックを備えた前記EEPROMにて構成されて、そのうちの少なくとも1メモリブロックが何も書き込まれていない状態にある予備ブロックとして構成されたメインメモリ部と、

該メインメモリ部の各メモリブロックの物理的アドレスと、これらメモリブロックにデータが保持されているか否か、それらのデータ保持状態とを記憶するメインメモ

リ管理メモリと、

外部装置から送られた論理アドレスを読み込んで、その論理アドレスに相当する前記メインメモリ部のメモリブロックを選択するブロック選択部と、

外部装置から送られる制御信号に応動して各部を制御するシステム制御部とを備えてなり、

前記ブロック選択部は、読み込んだ論理アドレスが書き込みのためのアドレスの場合に、前記メインメモリ管理メモリに記憶されたそのメモリブロックのアドレスのデータ記憶状態を読み取って判別する判別機能と、

この判別機能による判別の結果が、そのメモリブロックにデータが記憶されていると判断された場合に、前記メインメモリ管理メモリのメモリブロックと予備ブロックとの物理的アドレスをメインメモリ管理メモリに交換して書き込むアドレス交換機能と、

該アドレス交換機能によって予備ブロックから交換されたメモリブロックを、読み込んだ論理アドレスの対象ブロックとして選択する選択機能とを有しており、

また、前記システム制御部は、ブロック選択部のアドレス交換機能によって予備ブロックのアドレスに変換されたメモリブロックのメモリ内容を消去する消去機能を有してなることを特徴とするメモリカードシステム。

【発明の詳細な説明】

技術分野

本発明は、たとえば、画像データや文字データなどのデータを記憶するためのメモリカードにおけるデータ記録方法およびメモリカードシステムに関する。

背景技術

近年、電子スチルカメラ等の画像データやワードプロセッサ等の文字データを記録する媒体として、フロッピーディスクに代わり、半導体メモリを用いたより小型なメモリカードが使用されるようになってきた。

従来、このようなメモリカードには、高速な読み出し、および書き込みを行うことができるスタティックRAM (SRAM) が用いられていた。

しかしながら、このSRAMは、揮発性の半導体メモリであるので、バックアップ用の電池が必要であり、また、画像データのように大容量のデータを記憶するものになると高価となって、メモリカードの値段が高くなるという問題があった。

そこで、近年、安価でしかもバックアップ電池の必要がない不揮発性の半導体メモリであるEEPROM (電氣的に消去・再書き込み可能な読出専用メモリ) をメモリカードに採用することが検討されている。このEEPROMは、その記憶期間が電池なしで10年間以上の優れており、近年ではSRAMに匹敵する読み出しまたは書き込み速度を備えるようになって、しかも、その値段がSRAMの4分の1程度ものが開発されている。

しかしながら、このEEPROMは、デバイスの性質上、消去を考慮に入れなければならないため、メモリカードに

そのためのピンを増やす必要性やメモリカードの使用に対してそれを運用する側での特別の配慮が生じ、従来のSRAMで構成されたメモリカードとの互換性をとることが困難であるということが問題になっていた。

ピンを増やす必要性としては、EEPROMではデータの書き換えを上書きとしては行えず、この場合消去、書き込みの2ステップが必要となるため、SRAMを用いたメモリカードと比較して、そのカードに消去用のピンが必要となる問題があった。

また、特別の配慮が必要である面としては、EEPROMの消去方法に一括消去型 (フラッシュタイプ) と、ブロック単位の消去の2種類のタイプがあり、ブロック単位の消去ができるものではSRAMと同様にブロック単位の書き換えを行うことができるが、フラッシュタイプを用いる場合、SRAMのようにブロック単位の書き換えが自由に行えないという問題があった。

さらに、EEPROMにおいては、その消去、書き込み回数が制限されており、たとえば100回~10000回の消去、書き込みの制限があり、ブロック消去型のEEPROMでは、1個所に書き込みが集中すると、寿命が極めて早くなるという問題があった。

目 的

本発明は、このような従来技術の欠点を解消して、EEPROMを用いたメモリカードでピン数を増やす必要がなく、SRAMを用いたメモリカードとの互換性を図ることができ、かつブロック消去型のEEPROMを用いた場合に、その寿命を長く保持することができるメモリカードの記録方法およびメモリカードシステムを提供することを目的とする。

発明の開示

本発明に係るメモリカードの記録方法によれば、メインメモリをブロック消去型のEEPROMを用いたメモリカードにおけるデータ記録方法において、複数のメモリブロックを備えた前記EEPROMに、そのうちの少なくとも1メモリブロックを何も書き込まれていない状態にある予備ブロックとしておき、前回までにデータが書き込まれた一のメモリブロックにそのデータの書き換えが行われるアクセスが生じた際に、そのメモリブロックと予備ブロックとの間の物理的アドレスの交換を行って、前回までにデータが書き込まれた一のメモリブロックのメモリ内容を消去することにより、そのメモリブロックを予備ブロックとして、予備ブロックから変換されたメモリブロックに今回のアクセスによるデータを書き込んで、データ保持ブロックとしてデータの書き換えを行う。

また、本発明に係るメモリカードシステムによれば、メモリカードのメインメモリにブロック消去型のEEPROMを用いてなるメモリカードシステムにおいて、このメモリカードシステムは、複数のメモリブロックを備えた前記EEPROMにて構成されて、そのうちの少なくとも1メモリブロックが何も書き込まれていない状態にある予備ブ

ロックとして構成されたメインメモリ部と、該メインメモリ部の各メモリブロックの物理的地址と、これらメモリブロックにデータが保持されているか否か、それらのデータ保持状態とを記憶するメインメモリ管理メモリと、外部装置から送られた論理アドレスを読み込んで、その論理アドレスに相当するメインメモリ部のメモリブロックを選択するブロック選択部と、外部装置から送られる制御信号に応動して各部を制御するシステム制御部とを備えてなり、前記ブロック選択部は、読み込んだ論理アドレスが書き込みのためのアドレスの場合に、前記メインメモリ管理メモリに記憶されたそのメモリブロックのデータ記憶状態を読み取って判別する判別機能と、この判別機能の判別結果が、そのメモリブロックにデータが記憶されていると判断された場合に、メインメモリ管理メモリのメモリブロックと予備ブロックとの物理的地址をメインメモリ管理メモリに交換して書き込むアドレス交換機能と、このアドレス交換機能によって予備ブロックのアドレスから交換されたメモリブロックを、読み込んだ論理アドレスの対象ブロックとして選択する選択機能とを有しており、また、前記システム制御部は、ブロック選択部のアドレス交換機能によって予備ブロックのアドレスに変換されたメモリブロックのメモリ内容を消去する消去機能を有する構成によって、メモリブロックに書き換えが生じた場合に、メモリブロックを順次交換して各メモリブロックの使用回数を平均化している。

実施例の説明

次に、本発明に係るメモリカードにおける記録方法およびメモリカードシステムの一実施例を図面を参照して詳細に説明する。

この実施例におけるメモリカードMは、第1図に示すように、データを記憶するためのメインメモリ部10と、このメインメモリ部10の書き込み制御、または読み出し制御を行うための制御部20とから構成されている。このメモリカードMは、電子スチルカメラまたはその再生装置等の外部装置にコネクタ22を介して装着自在となっている。

メインメモリ部10は、ブロック消去型のEEPROM（電氣的に消去・書込可能な不揮発性メモリ）によって構成されている。このEEPROMは、複数のメモリブロック1、2...を備えており、それらメモリブロックは、それぞれ、たとえば1画面分の画像データが記憶される1クラスタ単位となっている。メインメモリ部10は、その複数のクラスタ1、2...のうちの少なくとも1クラスタが、データが何も書き込まれていない状態にある予備クラスタとなっている。この予備クラスタは、データが保持されたクラスタに上書きが生じた場合に使用される。詳しくは、第2図に示すように、たとえば、上書きのアクセスがクラスタ1に生じた場合、そのクラスタ1の物理アドレスAと予備クラスタ4の物理アドレスDを交換して、

今回のデータをアドレスAとなったクラスタ4に書き込み、アドレスDとなったクラスタのデータを消去して、クラスタを入れ換えることにより、書き換えを行う。これにより、メインメモリ部10内には、常に1個以上の予備クラスタが存在するようになっている。これらクラスタ1、2...は、それぞれ消去信号が供給されると、記憶された内容がすべて“1”の状態となってデータが消去される。

再び第1図において、制御部20は、アドレスおよびデータの入出力処理を行うための入出力制御部24と、データの書き込みまたは読み出しの際に、メインメモリ部10の該当クラスタを選択するクラスタセレクト部26と、メインメモリ部10の各クラスタ1、2...の物理的地址およびそのデータ記憶状態を管理するためのメインメモリ管理メモリ28と、選択されたクラスタの下位アドレスを制御するためのアドレス制御部30と、これら各部24~30を制御するためのシステム制御部32とを備えている。

入出力制御部24は、コネクタ22を介して外部装置から送られる書き込みまたは読み出しのためのアドレスを読み込んでクラスタセレクト制御部26へ転送するアドレスレジスタと、外部装置とメインメモリ部10との間にてデータの受け渡しを行うためのデータレジスタとを備えている。これらレジスタは、システム制御部32から送出されるタイミング信号TSIに応動して動作する。

クラスタセレクト制御部26は、入出力制御部24を介して転送されたアドレスに従って、メインメモリ部10の該当クラスタ1、2...を選択する回路である。この実施例におけるクラスタセレクト制御部26は、読み込んだアドレスが書き込みのためのアドレスの場合に、メインメモリ管理メモリ28に記憶されたそのクラスタのデータ記憶状態を読み取って判別する判別機能と、この判別機能による判別の結果が、そのクラスタにデータが記憶されていると判断された場合に、メインメモリ管理メモリ28におけるそのクラスタと予備クラスタとの物理的地址をメインメモリ管理メモリ28に交換して書き込むアドレス交換機能と、このアドレス交換機能によって交換されたクラスタを、読み込んだ論理アドレスの対象クラスタとして選択する選択機能とを有している。

メインメモリ管理用メモリ28は、不揮発性RAMなどの不揮発性メモリによって構成されており、外部装置からカードMを取り外した場合にも、その記憶内容を保持しているメモリである。このメインメモリ管理用メモリ28は、メインメモリ部10の各クラスタ1、2...の物理アドレスに対応してその各クラスタにデータが保持されているか否かを記憶している。この場合、たとえば、データが保持されている場合は、該当アドレスに“1”のフラグが書き込まれており、データが保持されていない場合は、そのアドレスに“0”のフラグが書き込まれており、書き込みまたは消去の際に、そのフラグが書き換えられる。

アドレス制御部30は、アドレスカウンタによって構成されている。このアドレス制御部30は、システム制御部32から送出されるタイミングクロックをカウントして、クラスタセレクト制御部26にて選択されたクラスタの各バイト毎の読み出しまたは書き込みのための下位アドレスをメインメモリ部10へ送出する回路である。

システム制御部32は、コネクタ22を介して外部装置から送られる書き込みのためのライト信号と、読み出しのためのリード信号とが供給されて、それぞれ書き込みまたは読み出しの制御を行うための制御信号を上記各部24 10 ~30へ送出する。詳しくは、コネクタ22を介して制御信号が供給されると、メインメモリ部10およびクラスタセレクト制御部26へ読み出しまたは書き込みを区別するための識別信号ISを送出して、同時に、外部装置側へ処理中を示すBUSY信号を送出する。入出力制御部24へはデータの書き込みまたは読み出しのためのタイミング信号TSを送出して、この信号に同期してアドレス制御部30とメインメモリ部10へタイミングクロックCLKを送出する。また、このシステム制御部32は、上書きのアクセスが生じて、メインメモリ管理メモリ28にて物理アドレスの入れ換えが行われた場合、クラスタセレクト制御部26から送出される入換信号SSを受けることにより、メインメモリ管理メモリ28にて予備クラスタのアドレスとなったデータ保持クラスタの消去を行うための制御を行う。この場合、メインメモリ管理メモリ28から予備クラスタのアドレスを読み出して、クラスタセレクト制御部26へそのアドレスを送出して、消去クラスタを選択させ、メインメモリ部10へ消去信号を送出して予備ブロックを形成する。

この制御部20を外部装置に接続するコネクタ22は、アドレスおよびデータが伝送されるアドレスデータ兼用バス100と制御信号が伝送される制御バス110に接続するための端子を有している。

アドレスデータ兼用バス100は、書き込みまたは読み出しのためのアドレスと、書き込みアドレスに続いて送られるデータとをメモリカードMへ伝送して、読み出されたデータを外部装置へ伝送する。制御バス110は、書き込みのためのライト信号と、読み出しのためのリード信号とをメモリカードMへ伝送して、システム制御部32 40 から送出されるBUSY信号を外部装置へ伝送する。

次に、上記構成におけるメモリカードMの動作およびその記録方法を説明する。

まず、操作者は、メモリカードMを、そのコネクタ22を外部装置のアドレスデータ兼用バス100および制御バス110へ接続することにより、外部装置に装着する。次いで、外部装置が電子スチルカメラ等のようにデータの記録を行う装置の場合、メモリカードMに制御バス110からライト信号が送られると、システム制御部32は、その信号がライト信号かリード信号かを判断して、入出力制御部24へアドレスを読み込むためのタイミング信号TS 50

を送出して、同時に、クラスタセレクト制御部26へ書き込みを示す識別信号を送出する。これにより、入出力制御部24は、外部装置から書込アドレスが送られると、アドレスレジスタにそのアドレスを読み込んで、読み込んだアドレスをクラスタセレクト制御部26へ転送する。クラスタセレクト制御部26は、書込アドレスを読み込むと、メインメモリ管理メモリ28からそのアドレスに該当するクラスタのデータ記憶状態を読み取って、そのアドレスに前回までのデータが保持されているか否かを判断する。その判断結果が、データを保持していない状態である場合、クラスタセレクト制御部26は、そのクラスタの先頭アドレスを指定するクラスタ選択信号をメインメモリ部10へ送出する。次いで、外部装置から書込データが送出されると、入出力制御部24は、そのデータレジスタにデータを読み込んで、システム制御部32から送出されるタイミング信号TSに同期してメインメモリ部10へ送出する。このときシステム制御部32は、アドレス制御部30と、メインメモリ部10へ書き込みのためのタイミング信号CLKを送出する。これにより、メインメモリ部10は、入出力制御部24から送出される書込データをクラスタセレクト制御部26にて選択されたクラスタに、アドレス制御部30のアドレス信号に従って順次1バイトずつ書き込んでいく。書き込みが終了すると、システム制御部32は、メインメモリ管理メモリ28の該当アドレスに“1”のフラグを書き込んで、外部装置へ送出しているBUSY信号を解除して、次の命令待ち状態となる。

また、外部装置からのアクセスが上書きの場合、このアドレスを入出力制御部24から受けたクラスタセレクト制御部26は、メインメモリ管理メモリ28からそのアドレスのデータ保持状態を読み取って、そのアドレスのクラスタにデータが書き込まれていることを判断する。これにより、クラスタセレクト制御部26は、アクセス先のクラスタと予備クラスタの物理的アドレスを交換してメインメモリ管理メモリ28に書き込み、その予備クラスタから変換されたクラスタをデータの書き込み先としてアクセスする。また、同時にクラスタセレクト制御部26は、システム制御部32に入換信号SSを送出する。システム制御部32は、入出力制御部24へタイミング信号TSを送出するとともに、アドレス制御部30とメインメモリ部10へタイミングクロックCLKを送出する。これにより、外部装置から供給される書込データが入出力制御部24のデータレジスタを介してメインメモリ部10における予備クラスタから変換されたクラスタへと順次1バイトずつ書き込まれていく。この書き込みが終了すると、システム制御部32は、メインメモリ管理メモリ28から予備クラスタに変換されたクラスタのアドレスを読み取ってクラスタセレクト制御部26へ送出する。これにより、クラスタセレクト制御部26は、予備セレクトに変換されたクラスタを選択する。そして、システム制御部32は、メインメモリ部10へ消去信号を送出する。この結果、予備クラ

スタへ変換されたクラスタのメモリの内容が消去される。消去が終了すると、システム制御部32は、BUSY信号の解除を行って次の命令待ちとなる。

このように、この実施例においては、外部装置からは実質的な消去の命令信号が供給されず、そのためにメモ리카ードMのコネクタ22に消去のためのピンを増加させる必要がない。この結果、ハード的に、SRAMを用いたメモ리카ードと互換性を図ることができる。また、この実施例においては、データの書き換えの際に、クラスタの交換を行うので、クラスタを平均的に使用することができ、したがって、1つのクラスタに書き換えが集中することがなく、EEPROMすなわちメモ리카ードMの寿命を長く保持することができる。

また、メモ리카ードMを装着した外部装置が再生装置の場合は、制御バス110からリード信号が供給される。このリード信号を受信したシステム制御部32は、クラスタセレクト制御部と、メインメモリ部10へ読み出しの際の識別信号ISを送出して、入出力制御部24へ読み出しの際のタイミング信号TSを送出する。これにより、入出力制御部24は、外部装置から送出された読出アドレスをアドレスセレクト制御部26へ転送する。クラスタセレクト制御部26は、読出アドレスを受けると、そのアドレスのセレクトを選択するための信号をメインメモリ部10へ送出する。このとき、システム制御部32は、アドレス制御部30とメインメモリ部10へ読み出しのためのタイミングクロックTCLKを送出する。この結果、メインメモリ部10の該当クラスタからデータが1バイトづつ読み出されて、入出力制御部24を介して外部装置へ伝送される。読み出しが終了すると、システム制御部32は、BUSY信号を解除して命令待ち状態となる。

なお、上記実施例においては、書き換えの際に、クラスタを変換した後に、データを書き込んで、予備クラスタの消去を行っているが、クラスタを変換した後に、予備クラスタの消去を行ってからデータを予備クラスタから変換されたクラスタに書き込んでよい。

効 果

以上詳細に説明したように本発明におけるメモ리카ード*

*ドの記録方法およびメモ리카ードシステムでは、ブロック消去型のEEPROMを用いて、その複数のメモリブロックのうち少なくとも1つのメモリブロックを予備ブロックとしておいて、上書きを行うアクセスが生じた場合に、そのアクセスの対象のメモリブロックと、予備ブロックの物理的アドレスの交換を行って、予備ブロックから変換されたメモリブロックに今回のデータを書き込んで、予備ブロックのアドレスに変換されたメモリブロックの内容を消去することにより、メモリブロックを順次交換しつつ書き換えを行っている。したがって、外部装置からは実質的な消去の命令信号が供給されず、そのためにメモ리카ードにピンを増加させる必要がない。この結果、ハード的に、SRAMを用いたメモ리카ードと互換性を図ることができる。また、データの書き換えの際に、メモリブロックの交換を行うので、メモリブロックを平均的に使用することができ、1つのメモリブロックに書き換えが集中することがなく、EEPROMすなわちメモ리카ードの寿命を長く保持することができるという優れた効果を奏する。

【図面の簡単な説明】

第1図は本発明によるメモ리카ードの一実施例を示すブロック図、

第2図は、本発明の実施例におけるメモ리카ードの記録方法を示す概念図である。

主要部分の符号の説明

M……メモ리카ード

1, 2……クラスタ（メモリブロック）

10……メインメモリ部

20……制御部

30……コネクタ

24……入出力制御部

26……クラスタセレクト制御部

28……メインメモリ管理用メモリ

30……アドレス制御部

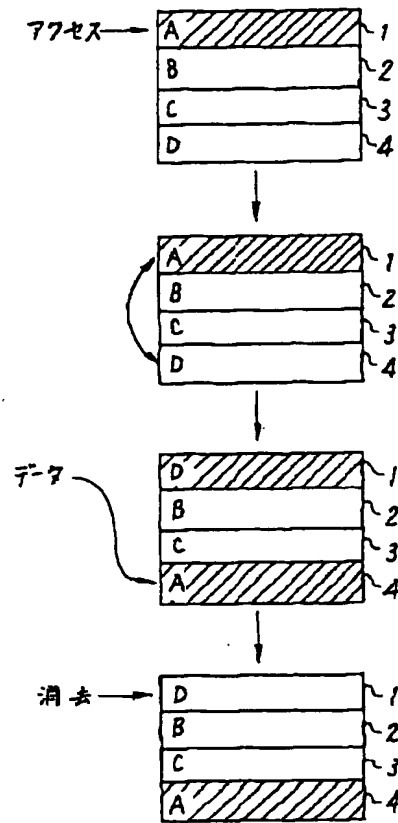
32……システム制御部

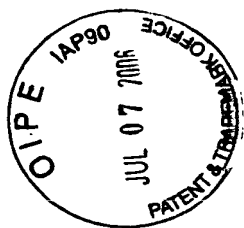
100……アドレスデータバス

110……制御バス



【第2図】





THIS PAGE BLANK (USPTO)